

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-275718

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl.⁵

H 01 L 21/82
27/118

識別記号

府内整理番号

F I

技術表示箇所

9169-4M
9169-4M

H 01 L 21/ 82

A
M

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21)出願番号

特願平5-59777

(22)出願日

平成5年(1993)3月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 新舟 剛夫

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

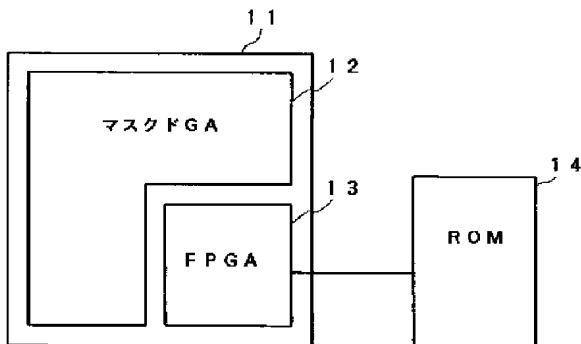
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ゲートアレイ回路

(57)【要約】

【目的】マスクドゲートアレイの有する、動作スピードが高く、ゲート数が多い等の利点と、FPGAの有する、ユーザの手元で所望の回路をプログラム可能であるという利点を共に活かす。

【構成】マスクドゲートアレイ (GA) 12とSRAM型のFPGA32と同一ASICチップ11内に設け、上記SRAM型のFPGA32の配線情報を記憶した不揮発メモリとしてのROM14を上記ASICチップ11に接続して構成する。



1

【特許請求の範囲】

【請求項1】 マスクドゲートアレイとSRAM型のFPGAとを同一集積回路内に設け、上記SRAM型のFPGAの配線情報を記憶したROMを上記集積回路に接続してなることを特徴とするゲートアレイ回路。

【請求項2】 上記マスクドゲートアレイとFPGAとで異なる電圧の電源端子を設けたことを特徴とする請求項1記載のゲートアレイ回路。

【請求項3】 上記マスクドゲートアレイとFPGAとで予め異なった供給電圧で最適化した素子パターンのマスタを有することを特徴とする請求項2記載のゲートアレイ回路。

【請求項4】 上記ROMはそれぞれ上記SRAM型のFPGAに対する異なる配線情報を記憶した複数個からなり、

上記マスクドゲートアレイ及びFPGAと同一集積回路内に設けられ、上記複数のROMのいずれか1つを選択して上記FPGAと接続する切換選択手段を備えたことを特徴とする請求項1記載のゲートアレイ回路。

【請求項5】 SRAM型のFPGAと、
それぞれ上記SRAM型のFPGAに対する異なる配線情報を記憶した複数のROMと、

上記FPGAと同一集積回路内に設けられ、上記複数のROMのいずれか1つを選択して上記FPGAと接続する切換選択手段とを具備したことを特徴とするゲートアレイ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マスクドゲートアレイとユーザが所望の回路をプログラムできるFPGAとを有するゲートアレイ回路に関する。

【0002】

【従来の技術】 近時、一般的なゲートアレイに代表されるマスクドASICに対して、ユーザが設計現場で所望の回路をプログラムしてそのまま使用できるPLD (Programmable Logic Device) やFPGA (Field Programmable Gate Array) などのプログラマブルASICが注目されている。このうちFPGAは、上記一般的なゲートアレイ (以下「マスクドGA」と称する) に比してユーザが手元で簡単に所望の回路をプログラムするために開発の手間、費用、期間等を大幅に低減することができるため、マスクドGAを量産する前の論理検証及び試作用デバイスとして利用されることが多い。一般的にマスクドGAは大量生産向け、FPGAは多品種少量生産向けであるということができる。また、現在の時点でFPGAは、動作スピード、ゲート数、ファンアウトの発生等の点でマスクドGAに比してまだ制限が多く、同様の性能を得るところまでには至っていない。

【0003】

【発明が解決しようとする課題】 しかるに、FPGAを

10

2

試作用として開発した後にそのFPGAに基づいてマスクドGAを製作すると、FPGAとマスクドGAの特性の違いにより、マスクドGAではゲート数に無駄が生じたり、オーバースペックになる可能性が高いという問題があった。

【0004】 本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、マスクドGAの有する、動作スピードが高く、ゲート数が多い等の利点と、FPGAの有する、ユーザの手元で所望の回路をプログラム可能であるという利点を共に活かすことが可能なゲートアレイ回路を提供することにある。

【0005】 ところで、上記FPGAにおけるプログラム素子は、SRAMのデータが“1”か“0”かによって使用する配線を選択するようにしてプログラマブル配線の情報をSRAMに記憶するSRAM型のものと、バイポーラPLDに使用されているヒューズと逆の機能を有し、出荷前は非導通で、ユーザがプログラムすると導通するアンチヒューズ型のものの2つに大別することができる。SRAM型のFPGAは何回でも書換えが可能であるが、アンチヒューズ型のFPGAはワンタイムとなる。したがって、以下本発明では簡単に回路の訂正が可能なSRAM型のFPGAに限って話を進めるものとする。

【0006】

【課題を解決するための手段及び作用】 すなわち本発明は、

【0007】 (1) マスクドGAとSRAM型のFPGAとを同一集積回路内に設け、上記SRAM型のFPGAの配線情報を記憶したROMを上記集積回路に接続して構成するようにしたものである。

【0008】 このような構成としたことにより、基本的に変更が有り得ない回路をマスクドGAで実現する一方、変更が有り得る回路はその配線情報をROMに書き込むことでFPGAにより実現し、必要によりROMの配線情報を書き換えることで回路の変更を簡単に実行することができるので、おおよそ全体の機能は同じだが軽微に機能が異なる複数のASICを同じ集積回路チップで実現することができる。

30

(2) 上記(1)項において、上記マスクドGAとFPGAとで異なる電圧の電源端子を設けるようにしたものである。

【0009】 このような構成としたことにより、動作スピードの点で劣るFPGAの電源電圧をマスクドGAより上げ、集積回路全体での動作スピードを向上させると共に、集積回路全体での電力消費を均一化して動作の信頼性を確保する。

40

【0010】 (3) 上記(2)項において、上記マスクドゲートアレイとFPGAとで予め異なった供給電圧で最適化した素子パターンのマスタを有するようにしたものである。このような構成としたことにより、集積回

路全体での動作スピードをさらにより向上させることができる。

【0011】(4) 上記(1)項において、上記ROMはそれぞれ上記SRAM型のFPGAに対する異なる配線情報を記憶した複数個からなり、上記マスクドGA及びFPGAと同一集積回路内に設けられ、上記複数のROMのいずれか1つを選択して上記FPGAと接続する切換選択手段を備えるようにしたものである。

【0012】このような構成としたことにより、マスクドGAの回路を共通として、上記切換選択手段で複数のROMのいずれか1つを選択するだけで、上記FPGAの回路構成を変更することができるため、FPGA部分の回路変更を簡単に実現することができる。

【0013】(5) 上記(4)項から派生したもので、SRAM型のFPGAと、それぞれ上記SRAM型のFPGAに対する異なる配線情報を記憶した複数のROMと、上記FPGAと同一集積回路内に設けられ、上記複数のROMのいずれか1つを選択して上記FPGAと接続する切換選択手段とを備えるようにしたものである。

【0014】このような構成としたことにより、従来はFPGAで実現する回路を変更する度に配線情報を記憶したROMチップを人手で交換していたが、その手間を省くことができ、上記回路の変更を容易に行なうことが可能となる。

【0015】

【実施例】以下図面を参照して本発明の実施例を説明する。

【0016】図1は本発明の一実施例に係るFPGA内蔵ASICの基本的な概念を示すもので、11がASICチップである。このASICチップ11内には、マスクドGA12とSRAM型のFPGA13とが設けられ、このFPGA13に対して配線情報を記憶した不揮発メモリとしてのROM14が外部接続される。

【0017】上記のような構成にあっては、マスクドGA12のFPGA13に対する優位性であるところの動作スピードの高さ、ゲート数の多さ、ファンアウトの多さ及び大量生産のし易さと、FPGA13のマスクドGA12に対する優位性であるところの回路変更時の開発期間の短さ、開発費の少なさ及び少量多品種生産の双方を得ることができる。

【0018】すなわち、機能がすでに決定されていて変更がないと思われる回路をマスクドGA12で実現する一方、変更がありそうな回路、例えばシミュレーションだけでなく実チップで動作を確認したい回路、ディレイ等の実製品で調整が必要な回路、仕様変更があり得る回路等をFPGA13で実現する。

【0019】このことにより、動作スピード、ゲート数、ファンアウトはマスクドGAのレベルとしながら、回路変更時は外部接続されたROM14を交換するか、或

いは内部の配線情報を書換えることにより、期間、開発費はFPGAのレベルに抑えることが可能となり、回路変更時にASICチップ11自体を変更する必要がなくなる。

【0020】また、ASIC全体としては同様の機能を有しながら、軽微な機能のみが異なるASICが少量ずつ多品種に渡って必要な場合にも、ROM14のみを変更することで1種類のASICチップ11で対応することができる。次いで上記一実施例の他の構成例を図2、図3を用いて説明する。

【0021】図2は上記図1のASICチップ11のマスクドGA12に電源電圧VLを、FPGA13に上記電源電圧VLより高い電源電圧VHを別系統でそれぞれ供給する場合を他の構成例として示すものである。

【0022】一般にFPGAはマスクドGAに比して動作スピードの点で劣るため、マスクドGA12に供給する電源電圧VLより高い電源電圧VHをFPGA13へ供給し、FPGA13を高速動作させれば、ASICチップ11全体としての動作スピードを向上することができる。

【0023】また、マスクドGA12とFPGA13それぞれに供給する電圧値を予め決定しておき、それぞれ決定した電圧値で最適化したマスクを用いて素子パターンを形成しておけば、さらなる高速動作が可能となる。

【0024】さらに、回路の変更の有無より消費電力の点を優先して考えて、高速動作する回路をマスクドGA12に、低速で動作させる回路をFPGA13に配置し、かつマスクドGA12に供給する電源電圧をFPGA13に供給する電源電圧より低く設定すれば、ASICチップ11全体の消費電力を低く均一化することが可能となり、回路の動作上の信頼性を確保することができる。

【0025】また図3は、図1のASICチップ11に対して複数、例えば2つのROM14a、14bを設け、これらROM14a、14bの一方を切換選択するためのROM選択部21をASICチップ11内に設けるようにした場合を他の構成例として示すものである。

【0026】ROM選択部21は、ASICチップ11外部から与えられるROM選択信号CSに応じてROM14aへのイネーブル信号CAあるいはROM14bへのイネーブル信号CBを送出する。

【0027】ROM14a、14bは、共にFPGA13とデータライン(D)及びクロックライン(CK)で接続されており、それぞれFPGA13で実現させるための異なる回路の配線情報をデータとして記憶している。

【0028】このような構成にあって、ROM選択部21がROM選択信号CSによりイネーブル信号CA、CBの一方をオンとすると、オンとされた側のROM14aあるいはROM14bが内部に記憶している配線情報をFPGA13へ読み出し、所望する回路を実現するものである。

【0029】ROM14aに記憶されている配線情報とROM14bに記憶されている配線情報は異なるものであ

5

り、したがってROM14aが選択された場合とROM14bが選択された場合とではFPGA13で実現される回路の構成が異なる。そのため、外部からROM選択部21へのROM選択信号CSを切換えるだけで、FPGA13で実現する回路の構成を簡単に変更することができる。

【0030】さらに、この図3の構成から派生して、マスクドGAを有さないFPGAチップに対してそれぞれ配線情報を記憶した複数のROMを選択的に接続することが考えられる。以下、これを本発明の他の実施例として図4により説明する。

【0031】図4はその基本的な概念を示すもので、31がASICチップである。このASICチップ31は、SRAM型のFPGA32とROM選択部33が設けられ、これらFPGA32とROM選択部33に対して配線情報を記憶した不揮発メモリとしての複数、例えば2つのROM34a, 34bが外部接続される。

【0032】ROM選択部33は、ASICチップ31外部から与えられるROM選択信号CSに応じてROM34aへのイネーブル信号CAあるいはROM34bへのイネーブル信号CBを送出する。

【0033】ROM34a, 34bは、共にFPGA32とデータライン(D)及びクロックライン(CK)で接続されており、それぞれFPGA32で実現させるための異なる回路の配線情報をデータとして記憶している。

【0034】このような構成にあっては、FPGA32がROM選択信号CSによりイネーブル信号CA, CBの一方をオンとすると、オンとされた側のROM34aあるいはROM34bが内部に記憶している配線情報をFPGA32へ読み出し、所望する回路を実現する。ROM34aに記憶されている配線情報とROM34bに記憶されている

10

20

配線情報は異なるものであり、したがってROM34aが選択された場合とROM34bが選択された場合とではFPGA32で実現される回路の構成が異なる。そのため、外部からFPGA32へのROM選択信号CSを切換えるだけで、FPGA32で実現する回路の構成を簡単に変更することができ、ROMの差替えや書換えの作業を行なう必要がなくなる。

【0035】

【発明の効果】以上に述べた如く本発明によれば、マスクドゲートアレイの有する、動作スピードが高く、ゲート数が多い等の利点と、FPGAの有する、ユーザの手元で所望の回路をプログラム可能であるという利点を共に活かすことが可能なゲートアレイ回路を提供することができる。

【0036】また本発明によれば、従来はFPGAで実現する回路を変更する度に配線情報を記憶したROMチップを人手で交換していたが、その手間を省くことができ、上記回路の変更を容易に行なうことが可能なゲートアレイ回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る基本概念を示すブロック図。

【図2】同実施例の他の構成例を示すブロック図。

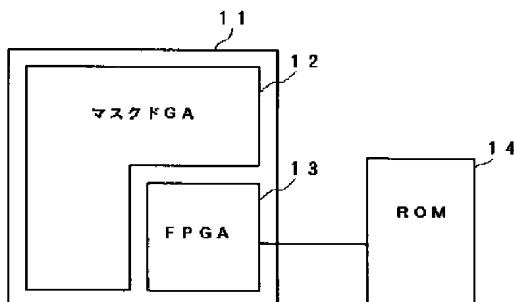
【図3】同実施例の他の構成例を示すブロック図。

【図4】本発明の他の実施例に係る基本概念を示すブロック図。

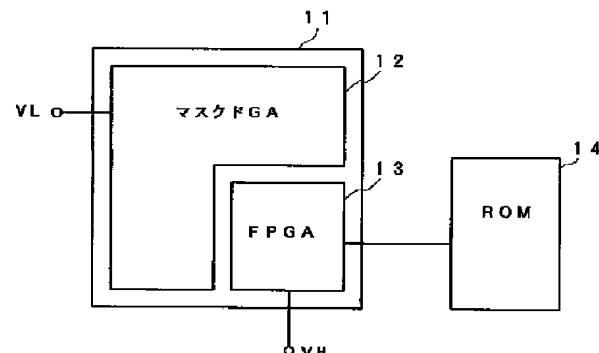
【符号の説明】

11, 31…ASICチップ、12…マスクドGA、13, 32…FPGA、14, 14a, 14b, 34a, 34b…ROM、21, 33…ROM選択部。

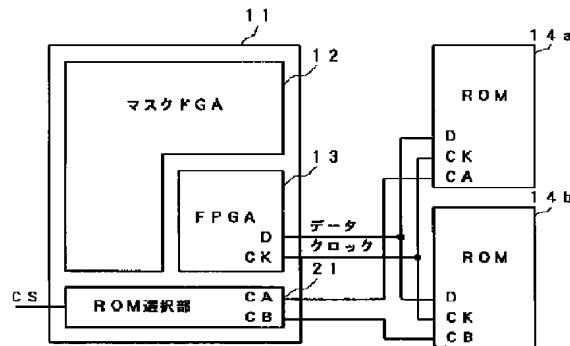
【図1】



【図2】



【図3】



【図4】

